

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-244980

(43)公開日 平成7年(1995)9月19日

(51) Int.Cl.⁶

識別記号

庁内整理番号

FI

技術表示箇所

G 1 1 C 11/401

G O 1 R 31/28

G 1 1 C 11/406

G 1 1 C 11/ 34

3 7 1 A

G O 1 R 31/ 28

G

審査請求 未請求 請求項の数3 OL (全 10 頁) 最終頁に続く

(21)出願番号

特願平6-30663

(22) 出願日

平成6年(1994)2月28日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 内田 克典

東京都港区芝五丁目7番1号 日本電気株式会社内

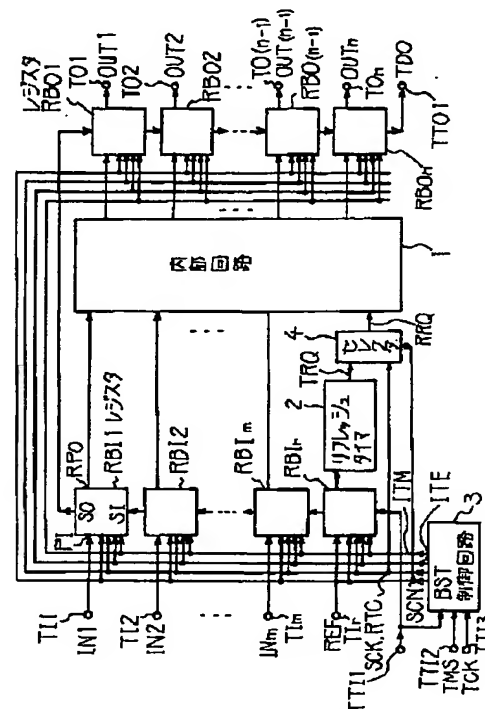
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 ダイナミックメモリ

(57) 【要約】

【目的】内部テストモード実行時に内部回路の記憶データが消失しないようにする。

【構成】通常の動作モード時にはリフレッシュタイマ2からのリフレッシュ要求信号TRQを選択して内部回路1に供給し、内部テストモード時には、データシフト制御信号SCNによりデータシフトクロックSCKを選択してリフレッシュ要求信号RRQとして内部回路1に供給するセレクト4を設ける。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 リフレッシュ制御信号をはじめとする各種制御信号、並びにデータ及びアドレス信号を含む各種信号を外部回路との間で授受する複数の信号端子と、メモリセルアレイ、アドレス選択回路及び書き込み・読出し制御回路を含み伝達された各種信号に従ってデータの書き込み、読出し、及びリフレッシュ動作を行い所定の信号を出力する内部回路と、リフレッシュ制御信号入力端に伝達された信号のアクティブレベルにตอบสนองして所定のタイミングでリフレッシュ要求信号を発生するリフレッシュタイマと、前記複数の信号端子それぞれと対応して設けられデータシフトクロックを含む内部バウンダリ・スキャン制御信号に従って通常の動作モードのときは前記複数の信号端子のうちのリフレッシュ制御信号対応の信号端子以外の信号端子と前記内部回路との間及び前記リフレッシュ制御信号対応の信号端子と前記リフレッシュタイマのリフレッシュ制御信号入力端との間の信号の伝達を行い、内部テストモードのときは互いに順次縦続接続されて複数段のシフトレジスタを形成し外部からのテスト用データの後段側への順次シフト、所定の段の信号の前記内部回路への伝達、前記内部回路からの信号の所定の段への取込み、並びに取込まれた信号の後段側への順次シフト及び最後段からの信号出力を行う複数のレジスタと、前記内部バウンダリ・スキャン制御信号に従って通常の動作モードのときは前記リフレッシュタイマからのリフレッシュ要求信号を、前記内部テストモードの信号シフト動作のときは前記データシフトクロックを選択し前記内部回路のリフレッシュ要求信号入力端に伝達する選択回路とを有することを特徴とするダイナミックメモリ。

【請求項2】 外部からのテスト用データ、テストモード設定信号及びテストクロックを受けてアクティブレベルの内部テストモード信号と、この内部テストモード信号のアクティブレベルの所定の期間に所定のタイミングでアクティブレベルとなるデータシフト制御信号と、このデータシフト制御信号のアクティブレベルの期間中順次アクティブレベルとなるデータシフトクロックと、前記内部テストモード信号のアクティブレベルの期間中の前記データシフト制御信号のインアクティブレベルの期間中に所定の期間アクティブレベルとなる内部テスト実行信号及びこの内部テスト実行信号より遅れてアクティブレベルとなるテスト実行結果伝達制御信号とを発生するバウンダリ・スキャンテスト制御回路を設け、複数のレジスタそれぞれを、対応する信号端子（又は内部回路の対応する信号入出力端）と接続する第1の入力端と、前記内部回路の対応する信号入出力端（又は対応する信号端子）と接続する第1の出力端と、シフトレジスタを形成したときの前段側の出力信号（最前段にあっては外部からのデータ）を受ける第2の入力端と、後段側へ信号を伝達する（最後段にあっては外部へ信号を出力する）

第2の出力端とを備え、前記内部テストモード信号がインアクティブレベルの期間には前記第1の入力端の信号を前記第1の出力端に伝達し、アクティブレベルの期間には、前記データシフト制御信号のアクティブレベルの期間に前記データシフトクロックに同期して前記第2の入力端の信号を取込んで保持し第2の出力端に伝達しこのデータシフト制御信号のインアクティブレベルの期間には前記内部テスト実行信号のアクティブレベルにตอบสนองして前記保持した信号を前記第2の出力端に伝達し前記テスト実行結果伝達制御信号のアクティブレベルにตอบสนองして前記第1の入力端の信号を取込み保持し前記第2の出力端に伝達する回路とした請求項1記載のダイナミックメモリ。

【請求項3】 内部回路が低電源電圧動作状態であることを判別して内部リフレッシュ制御信号を発生するセルフリフレッシュ制御回路を備え、前記内部リフレッシュ制御信号をリフレッシュタイマのリフレッシュ制御信号入力端に供給するようにした請求項1記載のダイナミックメモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はダイナミックメモリに関し、特にバウンダリ・スキャン技術を適用したダイナミックメモリに関する。

【0002】

【従来の技術】電子装置の開発やその製造においては、通常、所定の段階でその電子装置を構成する実装基板やモジュール、ICなどに対し、インサーキット・テスト、ファンクション・テスト等のテストが実施される。しかしながら、とめどなく続く電子装置の機能の多様化、高度化は、その実装基板やモジュール、ICなどにも波及し、上記のテスト手法では、テストツールの開発やテストそのものに長期間、長時間を要するだけでなく、十分なテストができなくなり、開発期間、製造期間の長期化とコスト増、及び信頼性の低下を招く結果となる。

【0003】そこで、このような問題を解決しようとする機運が生じ、テストツールの開発支援やテストそのものの支援補助、効率化を目的とするバウンダリ・スキャン技術が開発され、1990年の初期に、IEEE Standard 1149.1-1990. “アイイーイーイー スタンダード テスト アクセス ポート アンド バウンダリ・スキャン アーキテクチャ (IEEE Standard Test Access Port and Boundary-Scan Architecture)”として規格化された。

【0004】バウンダリ・スキャン技術とは、実装基板やモジュール、IC等（以下、これらをデバイスという）の信号入出力端子と内部回路との間にデータレジスタを設けてこれらを順次縦続接続してレジスタチェイン（シ

フトレジスタ)を形成し、このレジスタチェインを制御して各種のテストを行うテスト技術である。

【0005】このバウンダリ・スキャン技術をダイナミックメモリに適用した一般的な例(第1の例)を図4に示す。

【0006】このダイナミックメモリは、リフレッシュ制御信号REFをはじめとする各種制御信号、並びにデータ及びアドレス信号を含む各種信号IN1~INm、OUT1~OUTnを外部回路との間で授受する複数の信号端子T11~T1m、T1r、TO1~TONと、メモリセルアレイ、アドレス選択回路及び書込み・読出し制御回路を含み伝達された各種信号に従ってデータの書込み、読出し及びリフレッシュ動作を行い所定の信号を出力する内部回路1と、リフレッシュ制御信号入力端に伝達された信号のアクティブレベルに応答して所定のタイミングでリフレッシュ要求信号RRQを発生するリフレッシュタイマ2と、外部からのテスト用データTDI、テストモード設定信号TMS及びテストクロックTCKを受けてアクティブレベルの内部テストモード信号ITM、この内部テストモード信号ITMのアクティブレベルの所定の期間に所定のタイミングでアクティブレベル、インアクティブレベル、アクティブレベルと変化するデータシフト制御信号SCN、このデータシフト制御信号SCNのアクティブレベルの期間に順次アクティブレベルとなるデータシフトクロックSCK、並びに内部テストモード信号ITMのアクティブレベルの期間中のデータシフト制御信号のインアクティブレベルの期間に所定のタイミングでアクティブレベルとなる内部テスト実行信号ITE及びこの内部テスト実行信号より所定の期間遅れてアクティブレベルとなるテスト実行結果伝達制御信号RTCを含む内部バウンダリ・スキャン制御回路(以下、BST制御回路という)3と、複数の端子T11~T1m、T1r、TO1~TONそれぞれと対応して設けられ、上記内部バウンダリ・スキャン制御信号に従って、内部テストモード信号ITMがインアクティブレベルの通常の動作モードのときは信号端子T11~T1m、TO1~TONとの間及び信号端子T1rとリフレッシュタイマのリフレッシュ制御信号入力端との間の信号の伝達を行い、内部テストモード信号ITMがアクティブレベルの内部テストモードのときは互いに順次縦続接続されて複数段のシフトレジスタを形成し外部からのテスト用データの後段側への順次シフト、所定の段の信号の内部回路1への伝達、並びに内部回路からの信号の所定の段への取込み、並びに取込まれた信号の後段側への順次シフト及び最後段からの信号出力を行う複数のレジスタRBI1~RBI m、RBI r、RBO1~RBO nとを有する構成となっている。

【0007】また、レジスタRBI1~RBI m、RBI r、RBO1~RBO nはそれぞれ、図5に示すよう

に、対応する信号端子(又は内部回路1の対応する信号入出力端)と接続する第1の入力端PIと、内部回路1の対応する信号入出力端(又は対応する信号端子)と接続する第1の出力端RPOと、シフトレジスタを形成したときの前段側の出力信号(最前段にあつては外部からのテスト用データTPI)を受ける第2の入力端SIと、後段側へ信号を伝達する(最後段にあつては外部へ信号を出力する)第2の出力端RPOと、データシフト制御信号SCNに従って第1、第2の入力端PI、SIの信号の一方を選択するセレクトSL1と、データシフトクロックSCK及び内部テスト結果伝達制御信号RTCに従ってセレクトSL1の出力信号をラッチし第2の出力端SOへ出力するD型フリップフロップFF1と、内部テスト実行信号ITEに従ってD型フリップフロップFF1の出力信号をラッチし出力するD型フリップフロップFF2と、内部テストモード信号ITMに従って第1の入力端の信号及びD型フリップフロップFF2の出力信号の一方を選択し第1の出力端PROから出力するセレクトSL2とを備え、内部テストモード信号ITMがインアクティブレベルの期間には第1の入力端PIの信号を第1の出力端RPOに伝達し、アクティブレベルの期間には、データシフト制御信号SCNのアクティブレベルの期間にデータシフトクロックSCKに同期して第2の入力端SIの信号を取込んで保持し第2の出力端SOに伝達しこのデータシフト制御信号SCNのインアクティブレベルの期間には内部テスト実行信号ITEのアクティブレベルに応答して保持した信号を第2の出力端SOに伝達しテスト実行結果伝達制御信号RTCのアクティブレベルに応答して第1の入力端PIの信号を取込み保持し第2の出力端SOに伝達する構成となっている。

【0008】次にこのダイナミックメモリの動作について、図6に示された各部信号のタイミング図を併せて参照し説明する。

【0009】まず、内部テストモード信号ITMが低レベルのインアクティブレベルのときには、セレクトSL2により、各レジスタの第1の入力端PIの信号が第1の出力端RPOに伝達され、信号端子T11~T1mの信号(IN1~INm)が内部回路1に、内部回路1の出力信号が信号端子TO1~TONに伝達され、内部回路1は通常の書込み動作、読出し動作を行い、その結果が信号端子TO1~TOmから出力される。また、信号端子T1rのリフレッシュ制御信号REFがリフレッシュタイマ2に伝達され、このリフレッシュタイマ2はリフレッシュ制御信号REFのアクティブレベルに応答して順次リフレッシュ要求信号RRQを発生し内部回路1に伝達する。そして内部回路1は、このリフレッシュ要求信号RRQに従ってリフレッシュ動作を行う。

【0010】次に、内部テストモード信号ITMがアクティブレベル(高レベル)の内部テストモードの動作に

について説明する。

【0011】まず、データシフト制御信号SCNにより各種信号入力用の信号端子T I 1～T I m, T I rとレジスタR B I 1～R B I m, R B I rとの間、及び内部回路1の信号出力端とレジスタR B O 1～R B O nとの間が切離されると共に、これらレジスタが第2の入力端S I及び第2の出力端S Oにより順次縦続接続されて複数段のシフトレジスタを形成する。そして、データシフト制御信号SCNのアクティブレベルの期間中順次発生するデータシフトクロックSCKに同期して最前段のレジスタ（この例ではR O I r）の入力端からのテスト用データT D Iが順次後段側へとシフトされ、これらテスト用データが対応するレジスタに伝達、保持された時点でデータシフト制御信号SCNはインアクティブレベルとなり、データシフトクロックSCKの発生が停止する。従って、レジスタ相互間とは切離され、信号端子・レジスタ間、レジスタ・内部回路、リフレッシュタイム間が接続される。

【0012】このデータシフト制御信号SCNのインアクティブレベルの期間には、まず内部テスト実行信号I T Mのアクティブレベルに反応して、所定のレジスタ（この例ではR B I 1～R B I m）に保持されたデータ（D型フリップフロップF F 1に保持されたデータI N 1～I N m）がD型フリップフロップF F 2に取込まれてセレクタS L 2を通して内部回路1に伝達され、内部回路1で所定の動作が行なわれる。そして、内部テスト実行結果伝達制御信号R T Cのアクティブレベルに反応して、内部回路1の出力信号（出力データ）が所定のレジスタ（この例ではR B O 1～R B O n）のD型フリップフロップF F 1に取込まれて保持される。

【0013】データシフト制御信号SCNが再びアクティブレベルになると、レジスタR B I 1～R B I m, R B I r, R B O 1～R B O nは複数段のシフトレジスタを形成し、順次発生するデータシフトクロックに同期して、保持されたデータ（信号）が順次後段側へとシフトされ、最後段のレジスタR B O nの出力端から外部へ出力される（T D O）。

【0014】こうして、信号端子T I 1～T I m, T I r, T O 1～T O nの信号と関係なく内部回路1の動作をテストすることができる。

【0015】この例では、リフレッシュ制御信号R E Fを外部から入力してリフレッシュ動作を行う場合のダイナミックメモリについて説明したが、バッテリー・バックアップ等により低電源電圧で動作してデータ保持を目的とする動作モードをもつダイナミックメモリでは、電源電圧を検出して内部リフレッシュ制御信号を発生し、リフレッシュタイムを動作させる。このようなダイナミックメモリにバウンダリ・スキャン技術を適用した例（第2の例）を図7に示す。

【0016】このダイナミックメモリが図4に示された

ダイナミックメモリと相違する点は、電源電圧が予め設定されたレベル（例えば、通常の電源電圧を5Vとしたとき、2V）より低下するとアクティブレベルとなる内部リフレッシュ制御信号I R E Fを発生するセルフリフレッシュ制御回路5を備え、リフレッシュタイム2のリフレッシュ制御信号入力端への信号を、外部からのリフレッシュ制御信号R E Fに代えて内部リフレッシュ制御信号I R E Fとした点にある。

【0017】このダイナミックメモリでは、電源電圧が所定のレベルより低下すると、リフレッシュタイム2からリフレッシュ要求信号R R Qが内部回路1に供給され、内部回路1内でリフレッシュ動作が行なわれる。その他の動作は第1の例と同様である。

【0018】

【発明が解決しようとする課題】上述した従来のダイナミックメモリは、第1の例では、内部テストモード時、データシフト制御信号SCNの最初のアクティブレベルの期間に、各種信号入力用の信号端子と対応レジスタとの間及び内部回路1の信号出力端と対応レジスタとの間を切離してレジスタ相互間を縦続接続して複数段のシフトレジスタとし、データシフトクロックSCKによりテスト用データを順次後段側へシフトして所定のレジスタのD型フリップフロップF F 1に設定、保持させ、データシフト制御信号SCNの次のインアクティブレベルの期間にレジスタ相互間を切離して信号端子・レジスタ間及びレジスタ・内部回路1、リフレッシュタイム2間を接続して内部テスト実行信号I T Eにより、所定のレジスタのD型フリップフロップF F 1に保持されているデータをD型フリップフロップF F 2に取込んで内部回路1に伝達し、内部回路1に所定の動作を実行させてその結果を内部テスト実行結果伝達制御信号R T Cにより所定のレジスタのD型フリップフロップF F 1に取込み保持し、データシフト制御信号SCNの次のアクティブレベルの期間に、再びレジスタ相互間を縦続接続して複数段のシフトレジスタとし、データシフトクロックSCKにより、所定のレジスタに保持されたデータを順次後段側へとシフトして最後段から出力する構成となっているので、内部テストモードの期間中、外部からのリフレッシュ制御信号R E Fがリフレッシュタイム2に伝達させず、また、D型フリップフロップF F 1に設定されたテスト用データを内部テスト実行信号I T EによりD型フリップフロップF F 2に取込んでリフレッシュタイム2に伝達するため、このD型フリップフロップF F 2に取込んだ信号のレベルがリフレッシュ制御信号R E Fのインアクティブレベルと対応するレベルであると、リフレッシュタイム2のリフレッシュ制御信号入力端は、内部テスト実行信号I T Eによってアクティブレベルとなるまでインアクティブレベルのままであり、リフレッシュタイム2からリフレッシュ要求信号R R Qが出力されず、従って内部回路1によるリフレッシュ動作が行なわ

れず、記憶データが消失してしまうという問題点がある。

【0019】また、第2の例では、電源電圧が予め設定されたレベルより低下しないとリフレッシュタイマ2からリフレッシュ要求信号RRQが出力されないため、内部テストモードを通常の電源電圧で実行した場合、リフレッシュ要求信号RRQが発生せず、第1の例と同様に、記憶データが消失してしまうという問題点がある。

【0020】本発明の目的は、リフレッシュ動作の制御が外部からの制御信号によるものであっても、また内部制御信号によるものであっても、通常の電源電圧で内部テストモードを実行したときに記憶データを消失しないようにすることができるダイナミックメモリを提供することにある。

【0021】

【課題を解決するための手段】本発明のダイナミックメモリは、リフレッシュ制御信号をはじめとする各種制御信号、並びにデータ及びアドレス信号を含む各種信号を外部回路との間で授受する複数の信号端子と、メモリセルアレイ、アドレス選択回路及び書込み・読出し制御回路を含み伝達された各種信号に従ってデータの書込み、読出し、及びリフレッシュ動作を行い所定の信号を出力する内部回路と、リフレッシュ制御信号入力端に伝達された信号のアクティブレベルに応答して所定のタイミングでリフレッシュ要求信号を発生するリフレッシュタイマと、前記複数の信号端子それぞれと対応して設けられデータシフトクロックを含む内部バウンダリ・スキャン制御信号に従って通常の動作モードのときは前記複数の信号端子のうちのリフレッシュ制御信号対応の信号端子以外の信号端子と前記内部回路との間及び前記リフレッシュ制御信号対応の信号端子と前記リフレッシュタイマのリフレッシュ制御信号入力端との間の信号の伝達を行い、内部テストモードのときは互いに順次縦続接続されて複数段のシフトレジスタを形成し外部からのテスト用データの後段側への順次シフト、所定の段の信号の前記内部回路への伝達、前記内部回路からの信号の所定の段への取込み、並びに取込まれた信号の後段側への順次シフト及び最後段からの信号出力を行う複数のレジスタと、前記内部バウンダリ・スキャン制御信号に従って通常の動作モードのときは前記リフレッシュタイマからのリフレッシュ要求信号を、前記内部テストモードの信号シフト動作のときは前記データシフトクロックを選択し前記内部回路のリフレッシュ要求信号入力端に伝達する選択回路とを有している。

【0022】また、外部からのテスト用データ、テストモード設定信号及びテストクロックを受けてアクティブレベルの内部テストモード信号と、この内部テストモード信号のアクティブレベルの所定の期間に所定のタイミングでアクティブレベルとなるデータシフト制御信号と、このデータシフト制御信号のアクティブレベルの期

間中順次アクティブレベルとなるデータシフトクロックと、前記内部テストモード信号のアクティブレベルの期間中の前記データシフト制御信号のインアクティブレベルの期間中に所定の期間アクティブレベルとなる内部テスト実行信号及びこの内部テスト実行信号より遅れてアクティブレベルとなるテスト実行結果伝達制御信号とを発生するバウンダリスキャンテスト制御回路を設け、複数のレジスタそれぞれを、対応する信号端子（又は内部回路の対応する信号入出力端）と接続する第1の入力端と、前記内部回路の対応する信号入出力端（又は対応する信号端子）と接続する第1の出力端と、シフトレジスタを形成したときの前段側の出力信号（最前段にあっては外部からのデータ）を受ける第2の入力端と、後段側へ信号を伝達する（最後段にあっては外部へ信号を出力する）第2の出力端とを備え、前記内部テストモード信号がインアクティブレベルの期間には前記第1の入力端の信号を前記第1の出力端に伝達し、アクティブレベルの期間には、前記データシフト制御信号のアクティブレベルの期間に前記データシフトクロックに同期して前記第2の入力端の信号を取込んで保持し第2の出力端に伝達しこのデータシフト制御信号のインアクティブレベルの期間には前記内部テスト実行信号のアクティブレベルに応答して前記保持した信号を前記第2の出力端に伝達し前記テスト実行結果伝達制御信号のアクティブレベルに応答して前記第1の入力端の信号を取込み保持し前記第2の出力端に伝達する回路として構成される。

【0023】また、内部回路が低電源電圧動作状態であることを判別して内部リフレッシュ制御信号を発生するセルフリフレッシュ制御回路を備え、前記内部リフレッシュ制御信号をリフレッシュタイマのリフレッシュ制御信号入力端に供給するようにした構成を有している。

【0024】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0025】図1は本発明の第1の実施例を示すブロック図である。

【0026】この実施例が図4に示された従来のダイナミックメモリと相違する点は、データシフト制御信号SCNがインアクティブレベルのときはリフレッシュタイマ2から出力されたりフレッシュ要求信号を選択し、アクティブレベルのときはデータシフトクロックCLKを選択して内部回路1のリフレッシュ要求信号入力端に伝達するセクタ4を設けた点にある。

【0027】次にこの実施例の動作について説明する。図2はこの実施例の動作を説明するための各部信号のタイミング図である。

【0028】まず、内部テストモード信号ITMがインアクティブレベル（低レベル）の通常の動作モードのときは、データシフト制御信号SCNもインアクティブレベル（低レベル）であり、セクタ4はリフレッシュタ

イマ2から出力されたリフレッシュ要求信号TRQを選択し、リフレッシュ要求信号RRQとして内部回路1に伝達する。その結果、内部回路1のリフレッシュ動作が実行される。この動作は、図4、図6に示された従来例と同じである。

【0029】次に、内部テストモード信号ITMがアクティブレベル（高レベル）の内部テストモードのときは、データシフト制御信号SCNのアクティブレベル（高レベル）にตอบสนองしてセクタ4はデータシフトクロックSCKを選択し、リフレッシュ要求信号RRQとして内部回路1に伝達する。その結果、内部回路1のリフレッシュ動作が実行される。データシフト制御信号SCNは、内部回路1のテストを実行するためにテスト用データを各レジスタに設定するときのデータシフト時と、内部回路1のテスト実行後のテスト結果の信号を外部へ出力する信号（データ）シフト時にアクティブレベルとなるので、信号端子の数が増大してデータシフトに長時間を要する場合でも、記憶データが消失してしまうことはない。

【0030】図3は本発明の第2の実施例を示すブロック図である。この実施例は、図7に示された第2の従来例に本発明を適用したものであり、第1の実施例との相違点は、リフレッシュタイマ2のリフレッシュ制御信号入力端への信号を、信号端子TTr、レジスタRBrからのリフレッシュ制御信号REFに代えて、セルフリフレッシュ制御回路5からの内部リフレッシュ制御信号IREFとした点である。

【0031】セルフリフレッシュ制御回路5は、電源電圧が例えば2Vより低下しないと内部リフレッシュ制御信号IREFをアクティブレベルとしないので、通常の電源電圧（例えば5V）で内部テストモードを実行した場合、リフレッシュタイマ2からリフレッシュ要求信号TRQは出力されない。しかし、この実施例では、この場合でも、セクタ4によりデータシフトクロックSCKがリフレッシュ要求信号RRQとして内部回路1に伝達されるので、内部回路1のリフレッシュ動作が実行され、記憶データが消失してしまうことはない。

【0032】

【発明の効果】以上説明したように本発明は、通常の動

作モード時にはリフレッシュタイマから出力されるリフレッシュ要求信号を内部回路に供給し、内部テストモード時には、内部テスト実行のためにテスト用データを各レジスタに設定するときのデータシフト及び内部テスト実行後に各レジスタに取込まれたテスト結果を外部へ出力するときのデータシフトを行うデータシフトクロックをリフレッシュ要求信号として内部回路に供給する構成としたので、リフレッシュ動作の制御が、外部からの制御信号によるものであっても、また、電源電圧のレベルを検出して発生する内部制御信号によるものであっても、通常の電源電圧で内部テストモードを実行したとき、記憶データが消失しないようにすることができる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図である。

【図2】図1に示された実施例の動作を説明するための各部信号のタイミング図である。

【図3】本発明の第2の実施例を示すブロック図である。

【図4】従来のダイナミックメモリの第1の例を示すブロック図である。

【図5】図5に示されたダイナミックメモリのレジスタの具体例を示す回路図である。

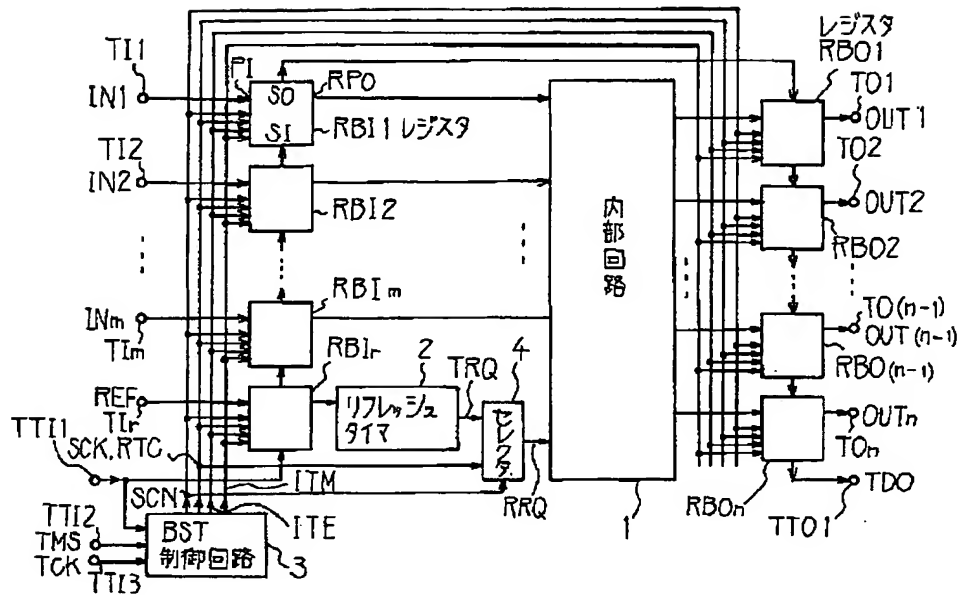
【図6】図4に示されたダイナミックメモリの動作を説明するための各部信号のタイミング図である。

【図7】従来のダイナミックメモリの第2の例を示すブロック図である。

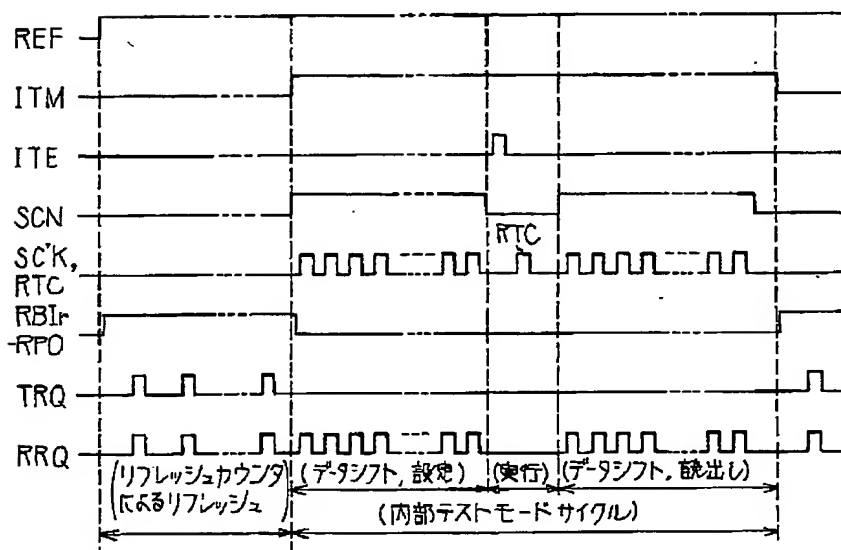
【符号の説明】

- 1 内部回路
- 2 リフレッシュタイマ
- 3 BST制御回路
- 4 セクタ
- 5 セルフリフレッシュ制御回路
- FF1, FF2 D型フリップフロップ
- RBI1~RBIm, RBr, RBO1~RBOn レジスタ
- SL1, SL2 セクタ
- TI1~TIIm, TTr, TO1~TON 信号端子

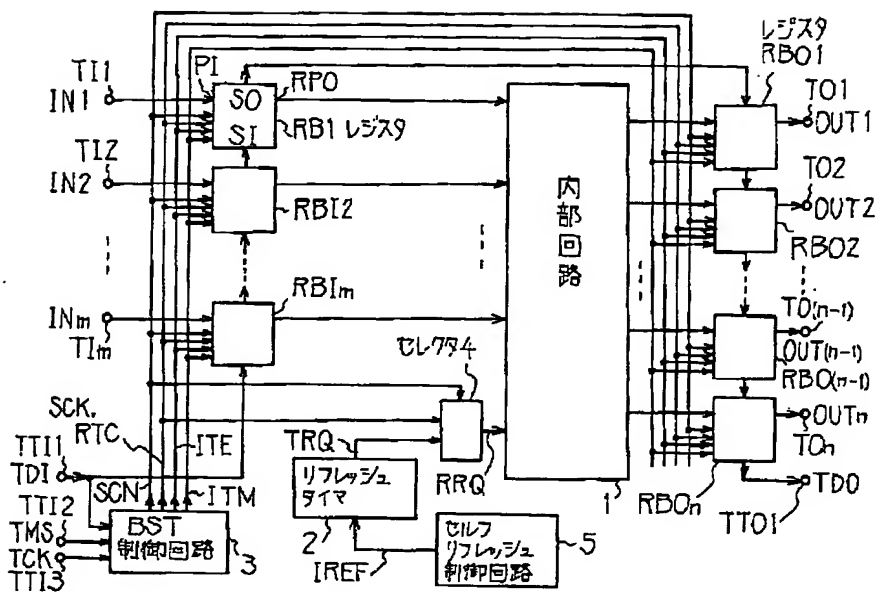
【图 1】



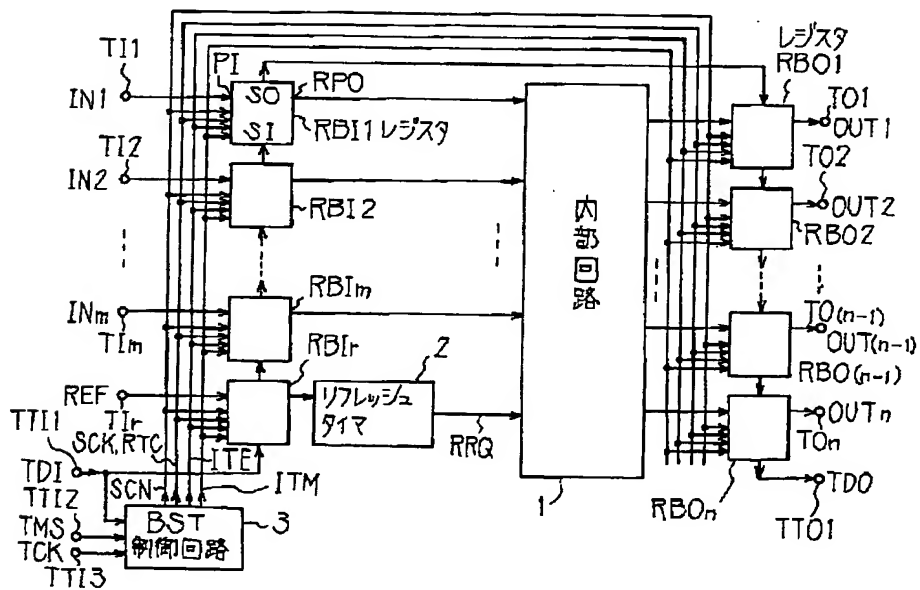
【図 2】



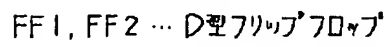
【図3】



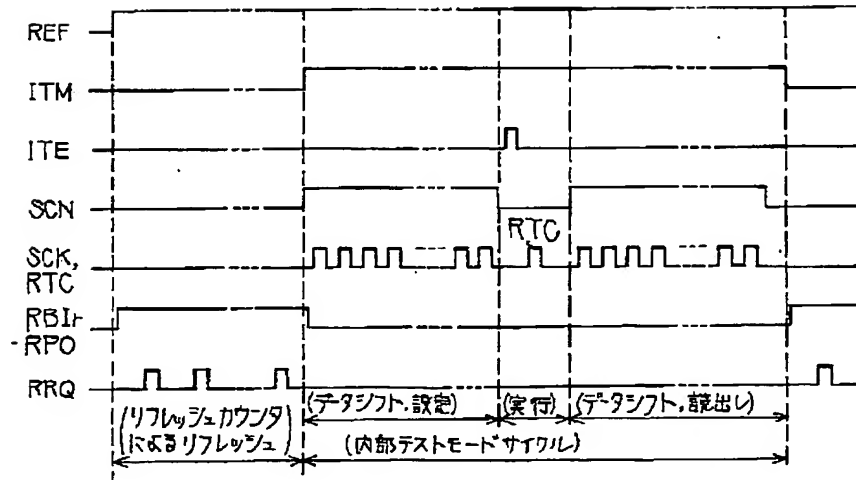
【図4】



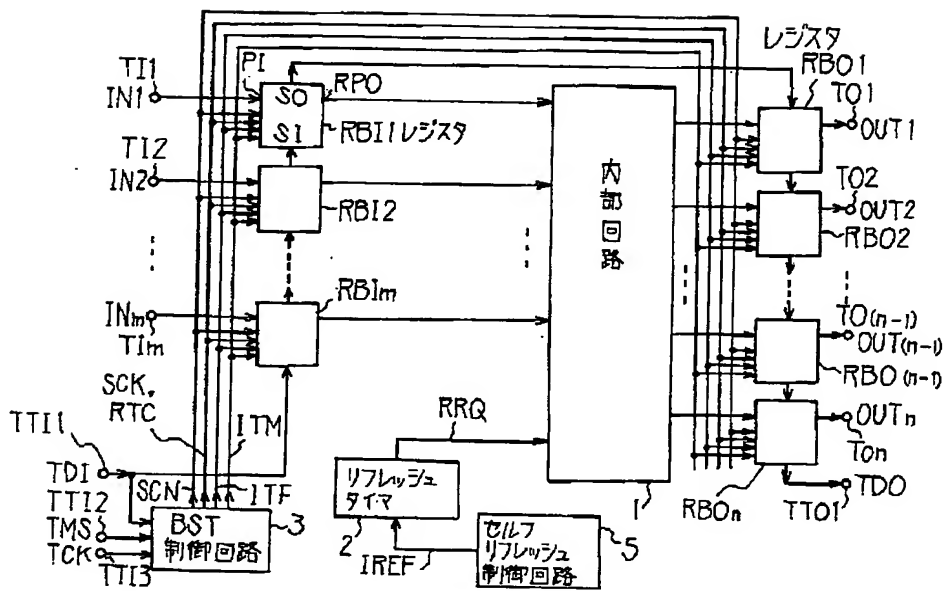
【图 5】



【图6】



【図7】



フロントページの続き

(51) Int. Cl. 6

G 1 1 C 29/00

識別記号 庁内整理番号

3 0 3 B 7004-5L

F I

技術表示箇所

G 1 1 C 11/34

3 6 3 E

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)